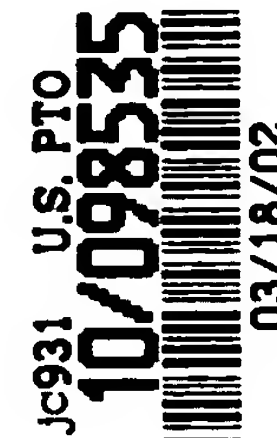


IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: **Tatsuhiko MIZUMASA**

Serial No.: **Not Yet Assigned**

Filed: **March 18, 2002**



For: **SEMICONDUCTOR INTEGRATED CIRCUIT HAVING A PLURALITY OF CIRCUIT REGIONS WHERE DIFFERENT POWER SUPPLY VOLTAGES ARE USED AND METHOD OF MANUFACTURING THE SAME**

**CLAIM FOR PRIORITY UNDER 35 U.S.C. 119**

Commissioner for Patents  
Washington, D.C. 20231

March 18, 2002

Sir:

The benefit of the filing dates of the following prior foreign applications are hereby requested for the above-identified application, and the priority provided in 35 U.S.C. 119 is hereby claimed:

**Japanese Appln. No. 2001-309053, filed October 4, 2001**

In support of this claim, the requisite certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the applicant has complied with the requirements of 35 U.S.C. 119 and that the Patent and Trademark Office kindly acknowledge receipt of said certified copy.

In the event that any fees are due in connection with this paper, please charge our Deposit Account No. 01-2340.

Respectfully submitted,  
ARMSTRONG, WESTERMAN & HATTORI, LLP

A handwritten signature in black ink, appearing to read "William G. Kratz, Jr.".

William G. Kratz, Jr.  
Reg. No. 22,631

Atty. Docket No.: 020348  
Suite 1000, 1725 K Street, N.W.  
Washington, D.C. 20006  
Tel: (202) 659-2930  
Fax: (202) 887-0357  
WGK/ll

日本国特許庁  
JAPAN PATENT OFFICE



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日  
Date of Application: 2001年10月 4日

出願番号  
Application Number: 特願2001-309053

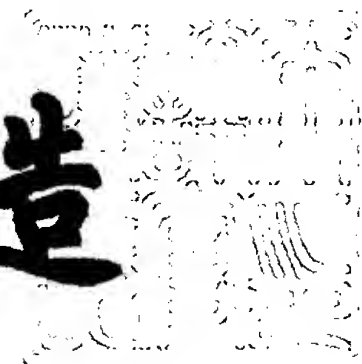
[ST.10/C]: [JP2001-309053]

出願人  
Applicant(s): 富士通株式会社

2002年 2月 1日

特許庁長官  
Commissioner,  
Japan Patent Office

及川耕造



出証番号 出証特2002-3002999

【書類名】 特許願

【整理番号】 0140550

【提出日】 平成13年10月 4日

【あて先】 特許庁長官 及川 耕造 殿

【国際特許分類】 H01L 21/3205

【発明の名称】 半導体集積回路および半導体集積回路の製造方法

【請求項の数】 8

【発明者】

    【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通株式会社内

    【氏名】 水正 竜大

【特許出願人】

    【識別番号】 000005223

    【氏名又は名称】 富士通株式会社

【代理人】

    【識別番号】 100077517

    【弁理士】

    【氏名又は名称】 石田 敬

    【電話番号】 03-5470-1900

【選任した代理人】

    【識別番号】 100092624

    【弁理士】

    【氏名又は名称】 鶴田 準一

【選任した代理人】

    【識別番号】 100100871

    【弁理士】

    【氏名又は名称】 土屋 繁

【選任した代理人】

    【識別番号】 100082898

【弁理士】

【氏名又は名称】 西山 雅也

【選任した代理人】

【識別番号】 100081330

【弁理士】

【氏名又は名称】 樋口 外治

【手数料の表示】

【予納台帳番号】 036135

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9905449

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体集積回路および半導体集積回路の製造方法

【特許請求の範囲】

【請求項 1】 第 1 の電源電圧を使用する第 1 の回路領域と、該第 1 の電源電圧とは異なる第 2 の電源電圧を使用する第 2 の回路領域とを有する半導体集積回路の製造方法であって、

前記第 1 の回路領域に対して、前記第 1 の電源電圧に応じた第 1 の設計ルールを適用し、且つ、

前記第 2 の回路領域に対して、前記第 2 の電源電圧に応じた第 2 の設計ルールを適用することを特徴とする半導体集積回路の製造方法。

【請求項 2】 請求項 1 に記載の半導体集積回路装置の製造方法において、前記第 1 の回路領域の配線間隔を、前記第 1 の設計ルールによる配線間耐圧上許される最小の間隔で規定し、且つ、

前記第 2 の回路領域の配線間隔を、前記第 2 の設計ルールによる配線間耐圧上許される最小の間隔で規定することを特徴とする半導体集積回路の製造方法。

【請求項 3】 請求項 1 に記載の半導体集積回路の製造方法において、前記第 1 の回路領域の配線とビアとの間隔を、前記第 1 の設計ルールによる配線間耐圧上許される最小の間隔で規定し、且つ、

前記第 2 の回路領域の配線とビアとの間隔を、前記第 2 の設計ルールによる配線間耐圧上許される最小の間隔で規定することを特徴とする半導体集積回路の製造方法。

【請求項 4】 請求項 2 または 3 に記載の半導体集積回路の製造方法において、前記各配線およびビアは、デュアルダマシンプロセスにより形成されることを特徴とする半導体集積回路の製造方法。

【請求項 5】 第 1 の電源電圧を使用する第 1 の回路領域と、該第 1 の電源電圧とは異なる第 2 の電源電圧を使用する第 2 の回路領域とを有する半導体集積回路であって、

前記第 1 の回路領域は、前記第 1 の電源電圧に応じた第 1 の設計ルールで製造され、且つ、

前記第 2 の回路領域は、前記第 2 の電源電圧に応じた第 2 の設計ルールで製造されることを特徴とする半導体集積回路。

【請求項 6】 請求項 5 に記載の半導体集積回路装置において、

前記第 1 の回路領域は、前記第 1 の設計ルールによる配線間耐圧上許される最小の配線間隔を備え、且つ、

前記第 2 の回路領域は、前記第 2 の設計ルールによる配線間耐圧上許される最小の配線間隔を備えることを特徴とする半導体集積回路。

【請求項 7】 請求項 5 に記載の半導体集積回路において、

前記第 1 の回路領域は、前記第 1 の設計ルールによる配線間耐圧上許される最小の配線とビアとの間隔を備え、且つ、

前記第 2 の回路領域は、前記第 2 の設計ルールによる配線間耐圧上許される最小の配線とビアとの間隔を備えることを特徴とする半導体集積回路。

【請求項 8】 請求項 6 または 7 に記載の半導体集積回路において、前記各配線およびビアは、デュアルダマシンプロセスにより形成されるたものであることを特徴とする半導体集積回路。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は半導体集積回路および半導体集積回路の製造方法に関し、特に、異なる電源電圧の複数の回路領域を有する半導体集積回路および半導体集積回路の製造方法に関する。

【 0 0 0 2 】

近年、半導体集積回路は、より一層の小型化および高集積化が要求されており、様々な機能の回路ブロック（回路領域）が 1 つの半導体集積回路に組み込まれるようになって来ている。具体的に、例えば、携帯電話に使用する半導体集積回路（半導体チップ）においては、所定の高周波電力を得るために高い電源電圧（例えば、3 V 程度）が使用される R F（Radio Frequency：高周波）出力用の高電源電圧回路領域と、それ以外の低い電源電圧（例えば、1. 2 V 程度）が使用されるメモリや論理回路用の低電源電圧回路領域が 1 つの半導体集積回路に組み込

まれるようになって来ている。さらに、半導体集積回路に対する小型化および高集積化の要求は、半導体の製造プロセスのさらなる進歩を促進し、Cu（銅）配線を使用した $0.18\mu\text{m}$ 或いはそれ以下の設計ルールによる半導体集積回路も実用化されつつある。

#### 【0003】

そして、従来、異なる電源電圧を使用する複数の回路領域を有する半導体集積回路は、最も高い電源電圧の回路領域に適用する設計ルールに従って製造し、また、その設計ルールも大きな配線間隔のマージンを取って決められている。そのため、半導体チップ（半導体集積回路）の面積が増大することになり、半導体チップの面積を縮小することのできる半導体集積回路および半導体集積回路の製造方法の提供が要望されている。

#### 【0004】

##### 【従来の技術】

図1は本発明が対象とする半導体集積回路の一例を模式的に示す図であり、異なる電源電圧で動作する2つの回路領域を有する半導体集積回路（半導体チップ）の例を示している。図1において、参照符号1は半導体集積回路、11は第1の回路領域を示し、12は第2の回路領域を示している。

#### 【0005】

具体的に、例えば、半導体集積回路1は携帯電話等に使用する半導体チップ（ICチップ）であり、第1の回路領域11は高電位の電源電圧（例えば、3V）により動作するRF出力用回路領域であり、そして、第2の回路領域12は低電位の電源電圧（例えば、1.2V）により動作するメモリおよび論理回路用回路領域である。

#### 【0006】

従来、図1に示されるような異なる電源電圧で動作する複数の回路領域を有する半導体チップは、全ての回路領域における配線間隔を、露光および配線間隔での層間絶縁膜による耐圧で決められた一律の間隔として、すなわち、単一の設計ルールに従って製造されている。

#### 【0007】



図 2 は半導体集積回路の製造方法におけるデュアルダマシンプロセスを説明するための図である。

【 0 0 0 8 】

前述したように、半導体集積回路に対する小型化および高集積化の要求は、半導体の製造プロセスのさらなる進歩を促進し、銅配線を使用した  $0.18\mu\text{m}$  或いはそれ以下の設計ルールによる半導体集積回路も実用化されつつある。このような半導体集積回路において、銅配線は、通常、デュアルダマシン (Dual-Damascene) 法により形成される。もちろん、銅配線をシングルダマシン法により形成することも可能である。

【 0 0 0 9 】

図 2 に示されるように、銅配線のデュアルダマシンプロセス (デュアルダマシン銅配線) は、例えば、層間絶縁膜に配線溝 1 2 1, 1 3 1 および下層配線へのビア (ビア孔: Via Hole) 1 2 2, 1 3 2 を形成し、これらの複合形状の開口部に対して一括して銅膜を成長させ、その後、はみ出した銅を、例えば、CMP (Chemical Mechanical Polishing) 法により平坦化埋め込みを行って銅配線を得るものである。ここで、配線溝 1 2 1, 1 3 1 とビア 1 2 2, 1 3 2 の位置合わせが正しく行われた場合、隣接する配線 (配線溝 1 2 1, 1 3 1) 間の最短距離  $d_1$  が印加電圧による耐圧上許される最小の間隔とるように設計ルールを決めればよいことになる。

【 0 0 1 0 】

図 3 および半導体集積回路の製造方法におけるデュアルダマシンプロセスにおいて位置合わせずれが生じた場合を説明するための図である。

【 0 0 1 1 】

図 3 に示されるように、配線溝 1 2 1, 1 3 1 とビア 1 2 2, 1 3 2 の位置合わせが正しく行われなかった場合 (位置合わせずれが生じた場合)、デュアルダマシンプロセスにより形成された銅配線は、配線溝 1 2 1, 1 3 1 の部分が位置ずれしたビア 1 2 2, 1 3 2 の上部 (1 2 1 a, 1 3 1 a) にまで広がることになり、その結果、隣接する配線 (配線溝 1 2 1 + 1 2 1 a, 1 3 1 + 1 3 1 a) 間の最短距離  $d_2$  は、位置合わせが正しく行われた場合の最短距離  $d_1$  よりも短



くなる。

【 0 0 1 2 】

そこで、従来の半導体集積回路の製造方法においては、配線溝とビアの位置合わせが正しく行われない場合を見越し、配線間隔のマージンを大きなものとして設計ルールを決めている。

【 0 0 1 3 】

【発明が解決しようとする課題】

図 1 を参照して前述したように、従来、異なる電源電圧を使用する複数の回路領域を有する半導体集積回路は、最も高い電源電圧の回路領域に適用する設計ルールに従って製造している。

【 0 0 1 4 】

さらに、図 2 および図 3 を参照して説明したように、従来、デュアルダマシンプロセスにより形成された銅配線を有する半導体集積回路は、配線溝とビアの位置合わせが正しく行われない場合を見越して、配線間隔のマージンを大きなものとした設計ルールに従って製造している。

【 0 0 1 5 】

そのため、従来の半導体集積回路は、半導体チップ（半導体集積回路）の面積が増大することになっていた。

【 0 0 1 6 】

本発明は、上述した従来の半導体技術における課題に鑑み、半導体チップの面積をより縮小することのできる半導体集積回路および半導体集積回路の製造方法の提供を目的とする。

【 0 0 1 7 】

【課題を解決するための手段】

本発明の第 1 の形態によれば、第 1 の電源電圧を使用する第 1 の回路領域と、該第 1 の電源電圧とは異なる第 2 の電源電圧を使用する第 2 の回路領域とを有する半導体集積回路の製造方法であって、前記第 1 の回路領域に対して、前記第 1 の電源電圧に応じた第 1 の設計ルールを適用し、且つ、前記第 2 の回路領域に対して、前記第 2 の電源電圧に応じた第 2 の設計ルールを適用することを特徴とす

る半導体集積回路の製造方法が提供される。

【 0 0 1 8 】

本発明の第 2 の形態によれば、第 1 の電源電圧を使用する第 1 の回路領域と、該第 1 の電源電圧とは異なる第 2 の電源電圧を使用する第 2 の回路領域とを有する半導体集積回路であって、前記第 1 の回路領域は、前記第 1 の電源電圧に応じた第 1 の設計ルールで製造され、且つ、前記第 2 の回路領域は、前記第 2 の電源電圧に応じた第 2 の設計ルールで製造されることを特徴とする半導体集積回路が提供される。

【 0 0 1 9 】

本発明によれば、例えば、高電位の電源電圧を使用する第 1 の回路領域はその高電位電源電圧に応じた第 1 の設計ルール（例えば、配線間隔が長い）に従って製造され、また、低電位の電源電圧を使用する第 2 の回路領域はその低電位電源電圧に応じた第 2 の設計ルール（例えば、配線間隔が短い）に従って製造され、これにより、半導体チップの面積を縮小することが可能になる。

【 0 0 2 0 】

【発明の実施の形態】

以下、本発明に係る半導体集積回路および半導体集積回路の製造方法の実施例を添付図面に従って詳述する。

【 0 0 2 1 】

まず、本発明が対象とする半導体集積回路は、前述した図 1 に示されるような異なる電源電圧で動作する複数の回路領域を有する半導体集積回路（半導体チップ）であり、例えば、携帯電話等に使用するためのものである。この半導体チップ（ICチップ）は、例えば、高電位の電源電圧（例えば、3 V）により動作する RF 出力用回路領域である第 1 の回路領域 1 1 と、低電位の電源電圧（例えば、1. 2 V）により動作するメモリおよび論理回路用回路領域である第 2 の回路領域 1 2 とを備える。

【 0 0 2 2 】

第 1 の回路領域 1 1 を製造するのに用いる第 1 の設計ルールは、その第 1 の回路領域 1 1 に使用する高電位の電源電圧（例えば、3 V）に応じた設計ルール（

例えば、配線間隔が  $X \mu m$ ) とされ、また、第 2 の回路領域 1 2 を製造するのに用いる第 2 の設計ルールは、その第 2 の回路領域 1 2 に使用する低電位の電源電圧（例えば、1.2 V）に応じた設計ルール（例えば、配線間隔が  $Y \mu m$  : ここで、 $X > Y$ ）とされる。すなわち、本実施例の半導体集積回路は、全ての回路領域における配線間隔を単一の設計ルールに従って製造するのではなく、各回路領域（1 1, 1 2）は、それぞれの回路領域に使用する電源電圧（3 V, 1.2 V）に応じた設計ルールに従って製造される。

## 【 0 0 2 3 】

従来の半導体集積回路のように、全ての回路領域における配線間隔を単一の設計ルール（高電位の電源電圧を使用する第 1 の回路領域 1 1 用の設計ルール）に従って製造したのでは、低電位の電源電圧を使用する第 2 の回路領域 1 2 では、配線間の耐圧および配線とビア間の耐圧に余裕があるため、実際には縮小できる配線間隔を縮小することができない。

## 【 0 0 2 4 】

そこで、本実施例の半導体集積回路は、それぞれの回路領域に応じた設計ルールにより製造（すなわち、高電位の電源電圧を使用する第 1 の回路領域 1 1 はその高電位電源電圧に応じた第 1 の設計ルール（例えば、配線間隔が長い： $X \mu m$ ）に従って製造し、低電位の電源電圧を使用する第 2 の回路領域 1 2 はその低電位電源電圧に応じた第 2 の設計ルール（例えば、配線間隔が短い： $Y \mu m$ ）に従って製造）することにより、半導体チップの面積を縮小することが可能になる。なお、半導体集積回路 1 を構成する電源電圧が異なる回路領域は、2 つに限定されないのはもちろんである。

## 【 0 0 2 5 】

図 4 は本発明に係る半導体集積回路の製造方法におけるデュアルダマシンプロセスにおいて位置合わせずれが生じた場合を説明するための図である。図 4 において、参照符号 2 1 0 はシリコン酸化膜やシリコン窒化膜等の絶縁膜、2 2 1, 2 3 1 は配線溝、そして、2 2 2, 2 3 2 はビア（ビア孔）を示している。

## 【 0 0 2 6 】

本実施例の半導体集積回路において、第 1 の回路領域 1 1 における配線（配線

溝) 2 2 1, 2 3 1 間の間隔 d 1 0 を第 1 の設計ルールによる配線間耐圧上許される最小の間隔で規定し、且つ、第 2 の回路領域 1 2 の配線 2 2 1, 2 3 1 間の間隔 d 1 0 を第 2 の設計ルールによる配線間耐圧上許される最小の間隔で規定する。

#### 【 0 0 2 7 】

或いは、より一層の半導体チップ面積の縮小を図るには、第 1 の回路領域 1 1 の配線 2 2 1 とビア 2 3 2 との間隔 d 2 0 を第 1 の設計ルールによる配線間耐圧上許される最小の間隔で規定し、且つ、第 2 の回路領域 1 2 の配線 2 2 1 とビア 2 3 2 との間隔 d 2 0 を第 2 の設計ルールによる配線間耐圧上許される最小の間隔で規定する。すなわち、デュアルダマシンプロセスにおいて、ビア 2 2 2, 2 3 2 は、メタル（銅）の表面と同じ高さまで埋め込まれるため、配線 2 2 1, 2 3 1 に対するビア 2 2 2, 2 3 2 の位置がずれると、配線間の耐圧を保証するための配線間隔が配線 2 2 1 とビア 2 3 2 との間隔 d 2 0 になるため、この間隔 d 2 0 を第 2 の設計ルールによる配線間耐圧上許される最小の間隔で規定する。

#### 【 0 0 2 8 】

このように、設計ルールを設定する際、そのチェック機構として、レイアウトに使用する素子をマスク系列によって、高電圧素子と標準素子とに切りわけ、高電圧素子に接続される配線に対しては、印加電圧に対してマージンのあるチェックを行い、また、標準素子に接続されている配線に対しては、標準の間隔チェックを行うチェック方法を確立する。これにより、高電圧配線と低電圧配線とを切り分けたルールの設定が可能となる。

#### 【 0 0 2 9 】

##### 【発明の効果】

以上、詳述したように、本発明に係る半導体集積回路および半導体集積回路の製造方法によれば、異なる電源電圧を使用する複数の回路領域を有する半導体集積回路（半導体チップ）の面積を縮小することができる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明が対象とする半導体集積回路の一例を模式的に示す図である。

【図 2】

半導体集積回路の製造方法におけるデュアルダマシンプロセスを説明するための図である。

【図 3】

半導体集積回路の製造方法におけるデュアルダマシンプロセスにおいて位置合わせずれが生じた場合を説明するための図である。

【図 4】

本発明に係る半導体集積回路の製造方法におけるデュアルダマシンプロセスにおいて位置合わせずれが生じた場合を説明するための図である。

【符号の説明】

1 2 1, 1 3 1 ; 2 2 1, 2 3 1 …配線溝 (配線)

1 2 1 a, 1 3 1 a …配線溝 (位置ずれしたビア上部の配線溝)

1 2 2, 1 3 2 ; 2 2 2, 2 3 2 …ビア (ビア孔)

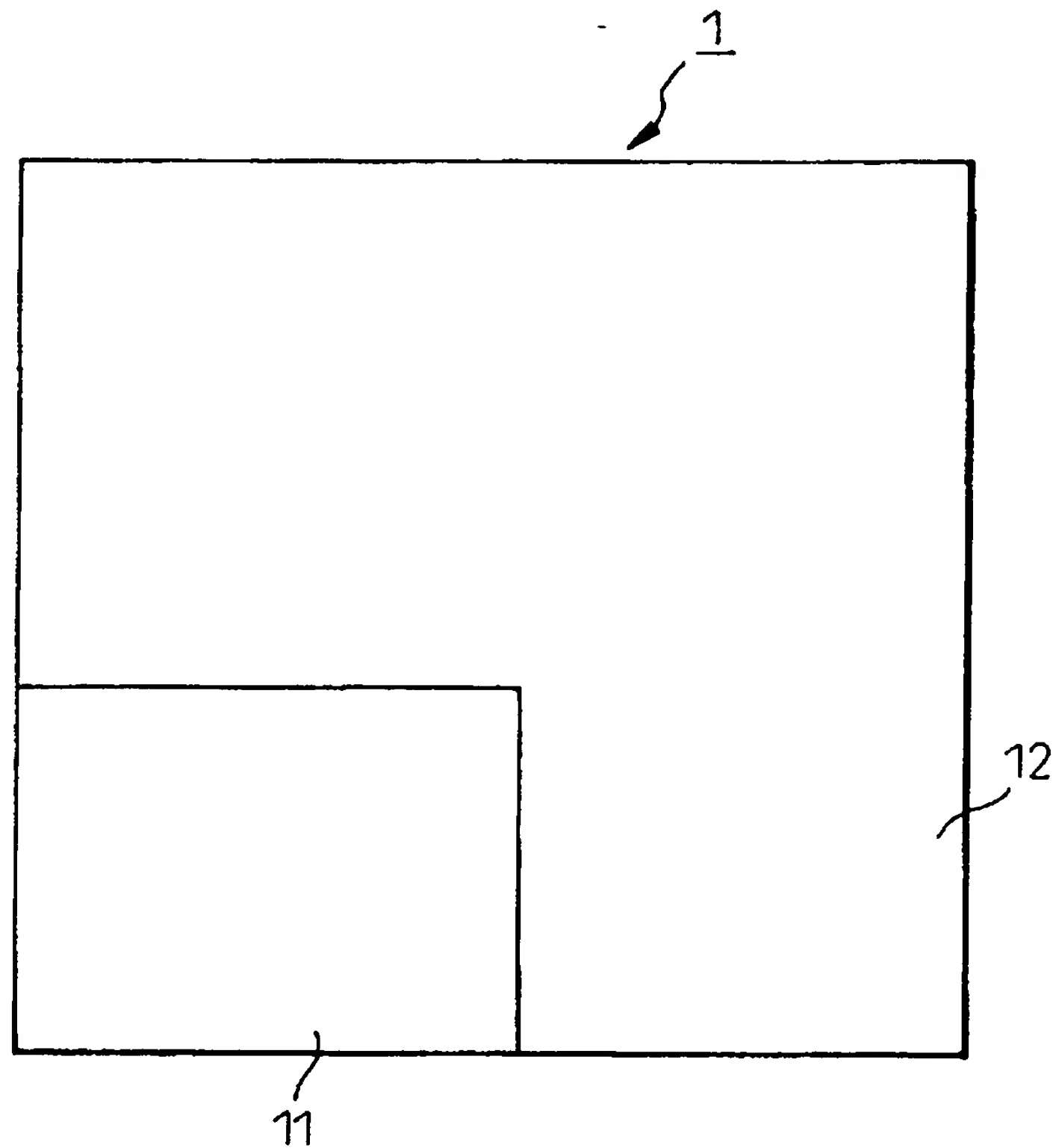
2 1 0 …絶縁膜

【書類名】 図面

【図 1】

図 1

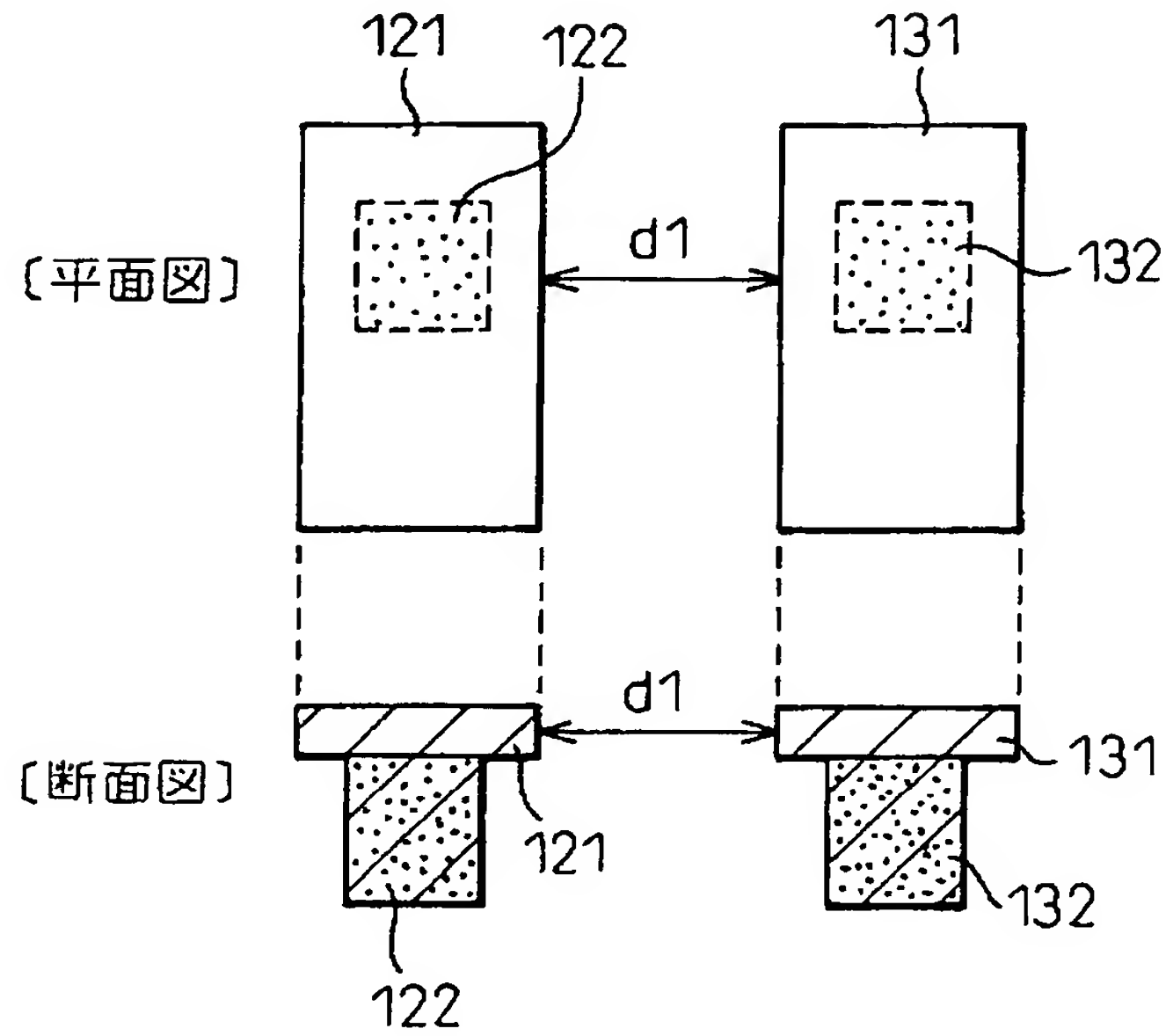
本発明が対象とする半導体集積回路の一例を模式的に示す図



【図 2】

図 2

半導体集積回路の製造方法におけるデュアルダマシンプロセスを説明するための図

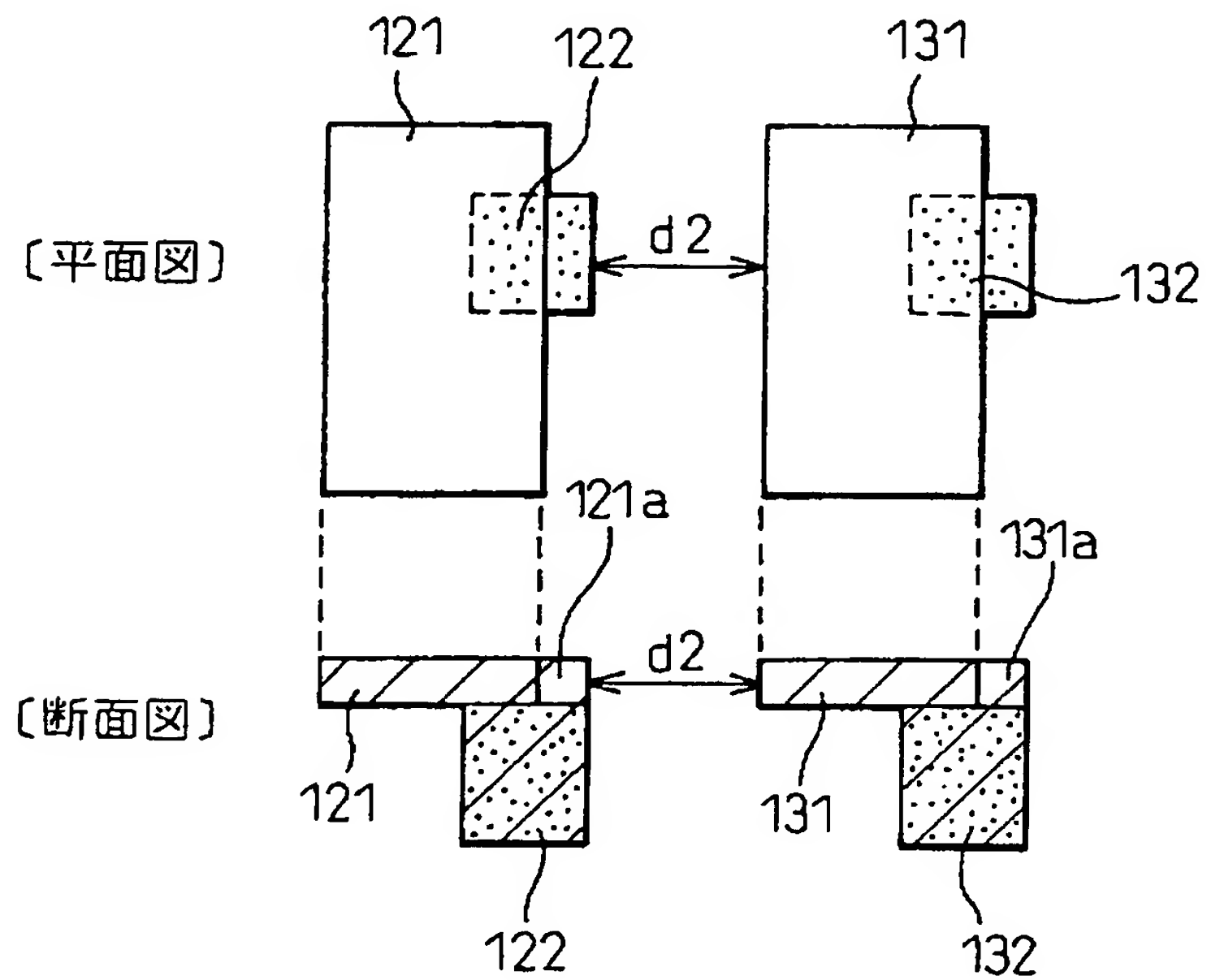




【図 3】

図 3

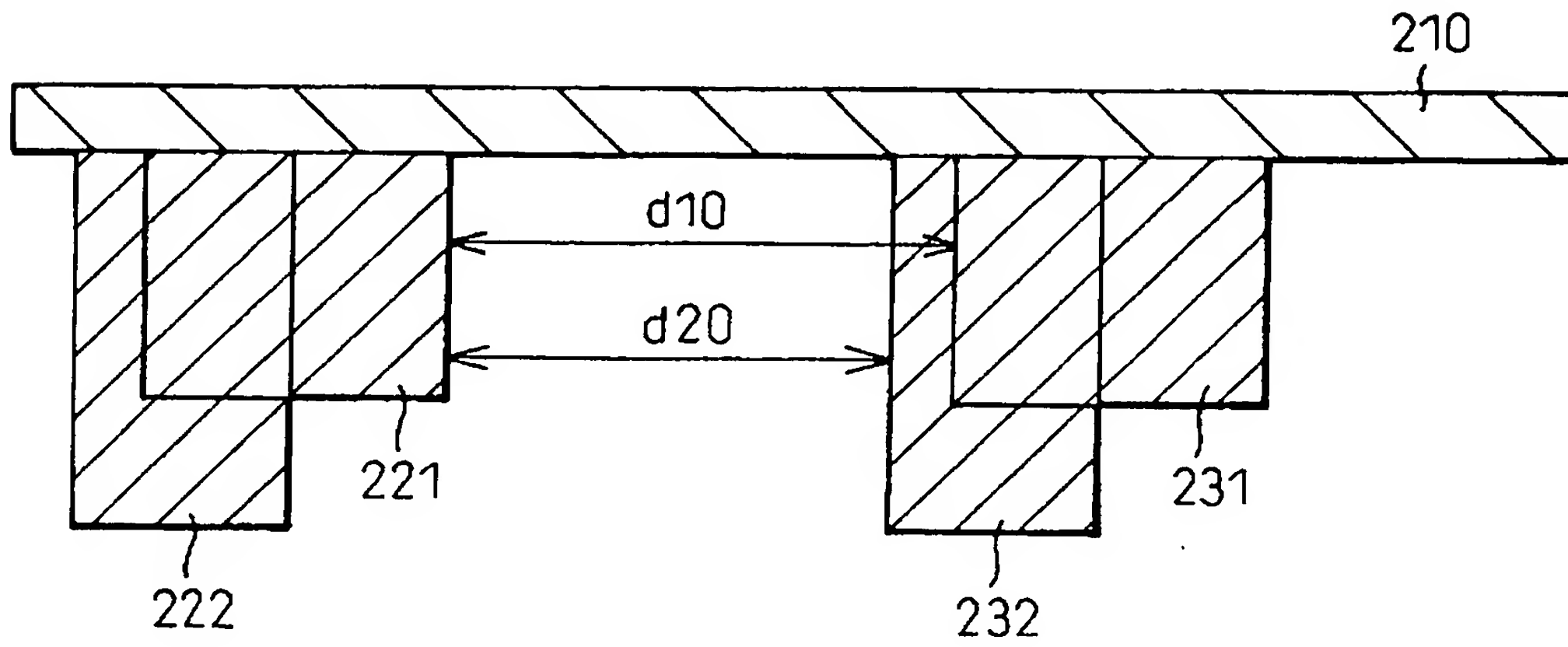
半導体集積回路の製造方法におけるデュアルダマシンプロセスにおいて位置合わせずれが生じた場合を説明するための図



【図 4】

図 4

本発明に係る半導体集積回路の製造方法における  
デュアルダマシンプロセスにおいて位置合わせ  
ずれが生じた場合を説明するための図



【書類名】 要約書

【要約】

【課題】 従来、異なる電源電圧を使用する複数の回路領域を有する半導体集積回路は、最も高い電源電圧の回路領域に適用する設計ルールに従って製造するため、半導体チップの面積が大きくなっていた。

【解決手段】 第 1 の電源電圧を使用する第 1 の回路領域 1 1 と、該第 1 の電源電圧とは異なる第 2 の電源電圧を使用する第 2 の回路領域 1 2 とを有する半導体集積回路の製造方法であって、前記第 1 の回路領域に対して、前記第 1 の電源電圧に応じた第 1 の設計ルールを適用し、且つ、前記第 2 の回路領域に対して、前記第 2 の電源電圧に応じた第 2 の設計ルールを適用するように構成する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社